

PAT-NO: JP360224186A
DOCUMENT-IDENTIFIER: JP 60224186 A
TITLE: SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: November 8, 1985

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|----------------|---------|
| GONDO, TAKASHI | |
| AMADA, EIICHI | |
| ASANO, KENICHI | |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|------------------------------|---------|
| HITACHI LTD | N/A |
| HITACHI MICRO COMPUT ENG LTD | N/A |

APPL-NO: JP59079615
APPL-DATE: April 20, 1984

INT-CL (IPC): G11C011/34

US-CL-CURRENT: 365/227

ABSTRACT:

PURPOSE: To decrease power consumption by turning off a bit line load transistor (TR) at writing a static RAM to cut off a DC current.

CONSTITUTION: A chip select signal CS and an R/W signal are inputted to a NAND gate in the static RAM to supply a write enable inverting signal WE' to the bit line load MOS TRs M1~M4, thereby turning off them at writing. Thus, the DC current flowing from a power supply to memory cells 10, 11 is cut off to reduce the power consumption.

COPYRIGHT: (C)1985, JPO&Japio

⑫ 公開特許公報(A)

昭60-224186

⑤ Int. Cl.⁴
G 11 C 11/34識別記号 庁内整理番号
7230-5B

④ 公開 昭和60年(1985)11月8日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 半導体記憶装置

⑭ 特 願 昭59-79615

⑮ 出 願 昭59(1984)4月20日

⑯ 発 明 者 権 藤 隆 史 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑯ 発 明 者 天 田 栄 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑯ 発 明 者 浅 野 賢 一 小平市上水本町1479番地 日立マイクロコンピュータエン
지니어リング株式会社内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社
⑱ 代 理 人 弁理士 磯村 雅俊

明 細 書

1. 発明の名称 半導体記憶装置

2. 特許請求の範囲

(1) デコーダにより駆動されるワード線、負荷トランジスタを介して電源に接続されるビット線、該ビット線とワード線に接続される複数のメモリセルおよび書き込みデータをチップ・セレクト信号、書き込み制御信号により入力するデータ入力バッファ回路を備えた非同期式スタティク・ランダム・アクセス・メモリにおいて、書き込み制御信号もしくは該書き込み制御信号とチップ・セレクト信号の論理積により発生したライト・イネーブル信号を、上記ビットデータ線の負荷トランジスタのゲートに接続し、上記書き込み信号あるいはライト・イネーブル信号により上記ビットデータ線負荷トランジスタを導通制御することを特徴とする半導体記憶装置。

(2) 前記書き込み信号あるいはライト・イネーブル信号は、ビットデータ線負荷トランジスタのゲ

ートとともに、読出し時においてセンスアンプのデータ入力電圧レベルをある一定電圧に保つためのコモン・データ線プルアップトランジスタのゲートにも接続されることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、半導体記憶装置に関し、特に書き込み時の消費電力を低減させることができるスタティク型のランダムアクセス・メモリに関するものである。

(発明の背景)

スタティク型ランダムアクセス・メモリは、ダイナミック型ランダムアクセス・メモリに比較して、定常的な電流を流す必要があるため、消費電力が大きい。リフレッシュ動作は不要で、かつ高速動作が可能である。

第1図は、スタティク型ランダムアクセス・メモリの全体ブロック図の一例である。

メモリへの入力信号は、アドレス信号 $A_0 \sim A_n$ 、

書き込み用データ D_{in} 、チップ・セレクト信号 C 、リード／ライト信号 R/W であり、出力信号はリード・データ出力 D_{out} である。アドレス信号 $A_0 \sim A_n$ は、 X デコーダ 6 と Y デコーダ 7 によりデコードされ、それぞれワード線 $W_1 \sim W_n$ の 1 本と、各ビット毎にビットデータ線 $B_1 \sim B_{2n}$ の 1 組 (2 本) が選択される。なお、ビットデータ線 $B_1 \sim B_{2n}$ の 1 組を選択するのは、コラム (列) 選択信号 $Y_1 \sim Y_n$ である。10, 11 はスタティック形メモリセル、8 はデータ入力バッファ回路、9 はセンス・アンプ、 $M1 \sim M4$ は負荷トランジスタ、 $M17 \sim M20$ はビットデータ線選択用トランジスタ、 $M21, M23$ はコモンデータ線 4, 5 のデータ入力スイッチトランジスタである。

メモリ・セル 10 は、ワード線 W_1 を駆動する X デコーダ 6 からアクセスされ、 Y デコーダ 7 によりコラム線 Y_1 が選択されると、スイッチ用 MOS トランジスタ $M17, M18$ がオンすることによつて、セル 10 の内部に記憶されていた 1 対のハイレベルとローレベルの情報がコモンデータ線

4, 5 に微小な電位差として現われる。この微小電位差は、センス・アンプ 9 により増幅されて、出力バッファ回路 (図示省略) に伝達される。以上が読み出し時の動作である。次に、書き込み時には、外部から入力したデータ D_{in} がデータ入力バッファ回路 8 に一時記憶され、チップ・セレクト信号 C 、リード／ライト信号 R/W によりトランジスタ $M21, M23$ が開くと、1 対の高電位差の信号がコモンデータ線 4, 5 に現われる。 X デコーダ 6 と Y デコーダ 7 によりワード線 W_1 とコラム線 Y_1 が選択されると、スイッチ用トランジスタ $M17, M18$ を通してビットデータ線 B_1, B_2 に高電位差信号が印加される。これによつて、ビット線 B_1, B_2 上の電位情報がメモリ・セル 10 に書き込まれる。

第 2 図は、第 1 図におけるデータ入力バッファ回路 8 からコモンデータ線 4, 5 に至る回路を示す図であり、第 3 図は第 1 図におけるメモリ・セルの詳細回路図である。

第 2 図において、データ入力バッファ回路 8 か

らハイレベル "H" のデータが送出されると、その一方は $CMOS$ トランジスタ $M25, M26$ を通つてローレベル "L" となり、他方はインバータ I で反転されてローレベル "L" にされた後、 $CMOS$ トランジスタ $M27, M28$ を通つて、再びハイレベル "H" となり、高電位差信号となつてコモンデータ線 4, 5 に出力される。

第 3 図に示すように、メモリ・セル 10 はフリップ・フロップ回路であつて、いま、一方の MOS トランジスタ $M7$ がオフ、 $M9$ がオンで、他方の MOS トランジスタ $M8$ がオン、 $M10$ がオフの場合、 A 点がローレベル "L"、 B 点がハイレベル "H" であり、かつワード線 W_1 により MOS トランジスタ・スイッチ $M5$ が開いているので、電源電圧からビット線負荷 MOS トランジスタ $M1$ 、ビット線 B_1 、 MOS トランジスタ $M5$ 、メモリセル 9 の MOS トランジスタ $M9$ を通して接地電圧に直流電流が流れる (メモリ・セル直流電流)。この場合、ワード線 W_1 に接続されたすべてのメモリ・セルに直流電流が流れることになる。

また、書き込み時には、データ入力バッファ回路からの高電位差信号がコモンデータ線 4, 5 に現われ、その一方の線 4 は接地電圧のローレベル "L" である。したがつて、電源電圧からビット線負荷 MOS トランジスタ $M1$ 、ビット線 B_1 、スイッチ MOS トランジスタ $M17$ 、コモンデータ線 4、 MOS トランジスタ $M26$ を通つて、グラウンド側へ大きな直流電流が流れる。

このように、読み出し時と、書き込み時に、大きな直流電流が流れることにより、消費電力が大きくなっている。

そこで、スタティック型メモリの消費電力を少なくするために、従来より、第 4 図に示すような構成のメモリが提案されている (特開昭 55-132589 号公報参照)。この方法は、メモリのコラム選択信号 Y_1, Y_2, \dots によりビット線負荷 MOS トランジスタ $M1 \sim M4$ の導通制御を行うものである。すなわち、ビット線負荷 MOS トランジスタ $M1 \sim M4$ のゲートに、コラム選択信号 Y_1, Y_2, \dots が供給されているので、コラム選択信号

によりこれらのトランジスタM1～M4はオン・オフされる。つまり、ビット線負荷MOSトランジスタM1～M4は、選択されたメモリ・セルにのみ使用され、他の非選択セルに対しては不要である点に着目して、選択されたカラム以外のビット線に流れる電流を阻止することにより低消費電力化を行っている。

しかし、第4図の方法によると、非選択のコラムでは、その両ビット線間の電位差が、ビット線負荷MOSトランジスタM1～M4を切らない場合に比べ、数倍の大きさになるため、選択されるワード線が切り変わるときにメモリ・セルへの誤り書き込み等の問題が発生する。

例えば、負荷MOSトランジスタM1を切らない場合には、READ時のビット線B1、B2の電圧は両方とも同じ程度の電圧（電源電圧が5Vのときには、約3V）を保持しているのに対して、ビット線負荷MOSトランジスタM1を切つたときには、メモリ・セル10のハイレベル“H”側とローレベル“L”側とでビット線B1、B2の電圧

が大きく異なり、電源電圧が5Vのとき、ハイレベル側のビット線が約4V、ローレベル側のビット線は0～1Vになる。この状態で、いまW1以外のワード線が選択され、Y1以外のコラム選択信号が入力された場合、ビット線B1、B2の電圧差が大きいので、ビット線B1、B2に接続され、かつ選択されたワード線に接続されたメモリ・セルの記憶内容がセル10と逆のときには、この内容が逆転するように書き込みが行われてしまう。

また、第4図において、読み出し時の非選択セルに対する直流電流は流れなくなるが、書き込み時には、選択されたカラムでは不要な定常電流が電源からビット線負荷MOSトランジスタM1～M4を通り、データ入力回路側に流れるという欠点がある。

(発明の目的)

本発明の目的は、このような従来の欠点を改善し、スタティック型ランダム・アクセス・メモリの特に書き込み時に電源から流れる直流電流を阻止して、消費電力を低減させるようにした半導体

記憶装置を提供することにある。

(発明の概要)

上記の目的を達成するため、本発明の半導体記憶装置は、デコーダにより駆動されるワード線、負荷トランジスタを介して電源に接続されるビット線、該ビット線とワード線に接続される複数のメモリ・セルおよび書き込みデータをチップ・セレクト信号、書き込み制御信号により入力するデータ入力バッファ回路を備えた非同期式スタティック・ランダム・アクセス・メモリにおいて、書き込み制御信号もしくは該書き込み制御信号とチップ・セレクト信号の論理積により発生したライト・イネーブル信号を、上記ビット線の負荷トランジスタのゲートに接続し、上記書き込み信号あるいはライト・イネーブル信号により上記ビット線負荷トランジスタを導通制御することによって特徴がある。

(発明の実施例)

以下、本発明の実施例を、図面により説明する。

第5図は、本発明の一実施例を示す半導体記憶

装置の構成図であり、第6図は第5図の動作タイムチャートである。

第5図において、第4図と同じ記号は同一の部品を示す。なお、M21、M22はコモンデータ線プルアップトランジスタ、M23、M24はコモンデータ線プルダウンMOSトランジスタ、CSはチップ・セレクト信号、R/Wはリード/ライト制御信号、WEはライト・イネーブル信号である。

第5図において、第4図の構成と異なる点は、ビット線負荷MOSトランジスタM1～M4のゲートにライト・イネーブル信号の反転信号 \overline{WE} が供給されていることであり、これらのトランジスタM1～M4はライト・イネーブル信号WEによつて導通制御（オン・オフ制御）される。すなわち、第5図においては、書き込み時に流れる不要な直流電流に着目し、書き込み時に、ライト・イネーブル信号によりビット線負荷MOSトランジスタM1～M4が遮断状態になるように制御する。すなわち、書き込み時には、電源 V_{cc} からビット線負荷MOSトランジスタM1～M4を通り、選

択されたワード線W1に接続されたメモリ・セル10, 11に直流電流が流れ込むが、第5図に示すように、チップ・セレクト信号CSとリード/ライト制御信号R/WをNANDゲートに入力してライト・イネーブルの反転信号 \overline{WE} を得、この信号 \overline{WE} をビット線負荷MOSトランジスタM1~M4のゲートに加えることにより、すべてのビット線負荷MOSトランジスタM1~M4を書き込み時にオフにする。これにより、メモリ・セル10, 11に流れ込む直流電流は、遮断される。

また、書き込み時には、電源からビット線負荷MOSトランジスタM1~M4、ビット線B1~B4、スイッチ用MOSトランジスタM17~M20、コモンデータ線4または5、データ入力回路のMOSトランジスタM26またはM28(図2)を通して接地電圧に直流電流が流れているが第5図に示すように、ライト・イネーブルの反転信号 \overline{WE} により、ビット線負荷MOSトランジスタM1~M4をオフにするので、上記直流電流は遮断される。

できない。

第5図における書き込み時の信号タイミングは、第6図に示すとおりである。

同一アドレスADDが、非選択(保)、読み出し(R)、書き込み(W)および非選択(保)の順序で指定された場合におけるチップ・セレクト信号CS、リード/ライト制御信号R/Wおよびライト・イネーブルの反転信号 \overline{WE} の波形を示す。チップ・セレクト信号CSは、読み出し時と書き込み時に、アドレス信号ADDの立上りと同時に入力され、立下りでオフとなる。リード/ライト制御信号R/Wは、アドレス信号ADDが入力し、ワード線の1本が選択される時間 t_B が経過した後に加えられる。そして、次のアドレスADDが入力する時点より、 t_B だけ前にハイレベルに戻る。ライト・イネーブル反転信号 \overline{WE} はリード/ライト制御信号R/Wをもとに内部で作る信号である。非選択時のときには、チップ・セレクト信号CS、リード/ライト制御信号R/Wは入力せず、記憶情報はそのまま保持される。

なお、第5図においては、ビット線負荷MOSトランジスタM1~M4と同じように、コモンデータ線プルアップトランジスタM21, M22も、ライト・イネーブルの反転信号 \overline{WE} により導通制御され、書き込み時にオフにされるので、直流電流が完全に遮断される。

書き込み時には、データ入力バッファ回路8からの高電位差信号がコモンデータ線4, 5に現われ、その電位差による過渡電流のみで選択されたメモリ・セルに書き込みが行えるので、直流電流は不要である。第5図では、この電流を遮断することにより、書き込み動作には何ら悪影響を及ぼさない。また、コモンデータ線4, 5には、センス・アンプ9が接続されているが、これは読み出し時のみ使用されるので、書き込み時には、従来通り切断しても差し支えない。

一方、スタティック型ランダム・アクセス・メモリは、クロックを使用しないので、読み出し時にはプリチャージのため電流を流す必要があり、したがって、読み出し時に流れる直流電流は遮断

第5図では、ライト・イネーブル反転信号 \overline{WE} が入力した時間だけ、ビット線負荷トランジスタをカット・オフすることにより、電源からメモリセルあるいはコモンデータ線に流れる直流電流を遮断する。

このように、本実施例では、ライト・イネーブル信号によつてビット線負荷トランジスタを導通制御するだけで、書き込み時の直流電流を遮断することができ、きわめて簡単な方法でスタティック型ランダム・アクセス・メモリの消費電力を低減することができる。

スタティック型ランダム・アクセス・メモリのうち、周辺回路のダイナミック化を行うものは、クロックによつて低消費電力化する必要があるので、回路や制御信号のタイミングが複雑化し、アクセスタイムがおくれる。

第6図に示すように、本発明のスタティック型ランダム・アクセス・メモリでは、ビット線負荷トランジスタが遮断状態のときに、アドレスが変化することがないのでワード線が切りかわる時の

メモリ・セルの反転の可能性がなくなる。

(発明の効果)

以上説明したように、本発明によれば、スタティック型ランダム・アクセス・メモリの書き込み時に、ビット線負荷トランジスタをオフすることによつて直流電流を遮断するので、消費電力を低減させることができる。

4. 図面の簡単な説明

第1図はスタティック型ランダム・アクセス・メモリの全体ブロック図、第2図は第1図におけるデータ入力バッファ回路からコモンデータ線に至る回路の図、第3図は第1図のメモリ・セルの回路図、第4図は従来消費電力低減型の半導体記憶装置の構成図、第5図は本発明の一実施例を示す半導体記憶装置の構成図、第6図は第5図の動作タイム・チャートである。

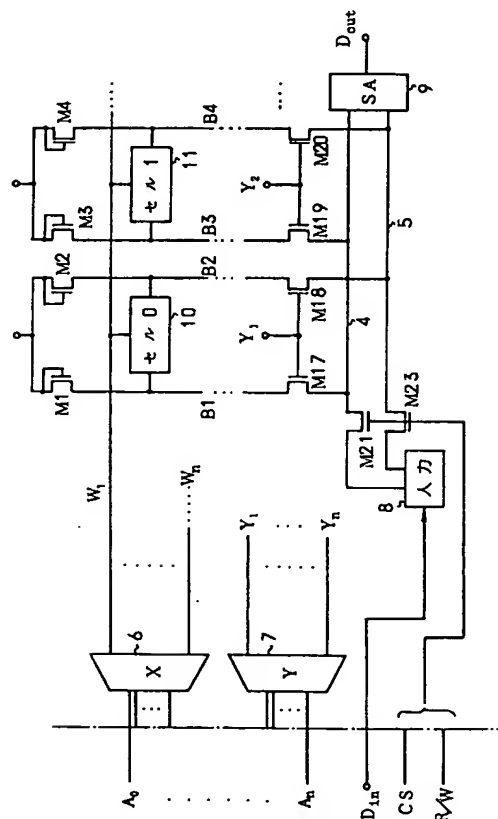
M1～M4：ビット線負荷MOSトランジスタ、
M7～M10、M13～M16：メモリ・セルの
MOSトランジスタ、M17～M20：スイッチ用
MOSトランジスタ、4、5：コモンデータ線

(センス・バス)、6、7：デコーダ、8：データ
入力バッファ回路、9：センス・アンプ、10、
11：メモリ・セル。

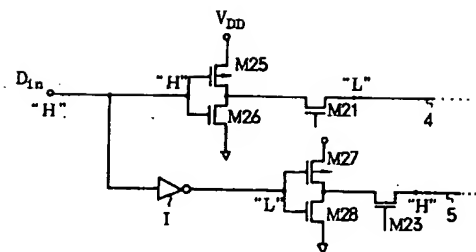
特許出願人 株式会社日立製作所(ほか1名)

代理人 弁理士 國村 雅

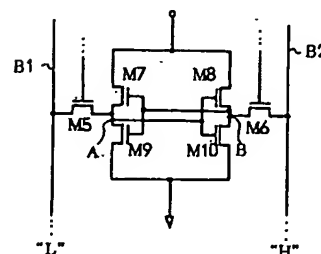
第 1 図



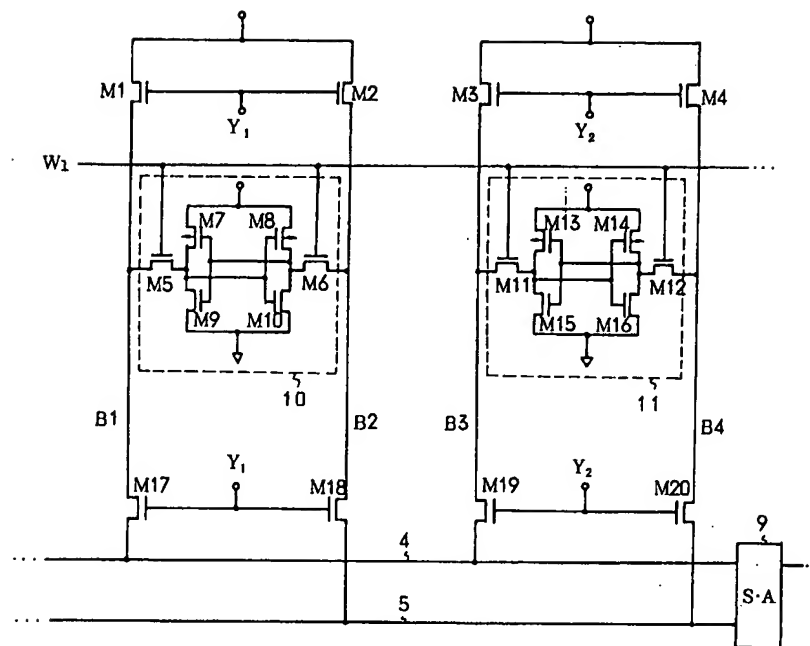
第 2 図



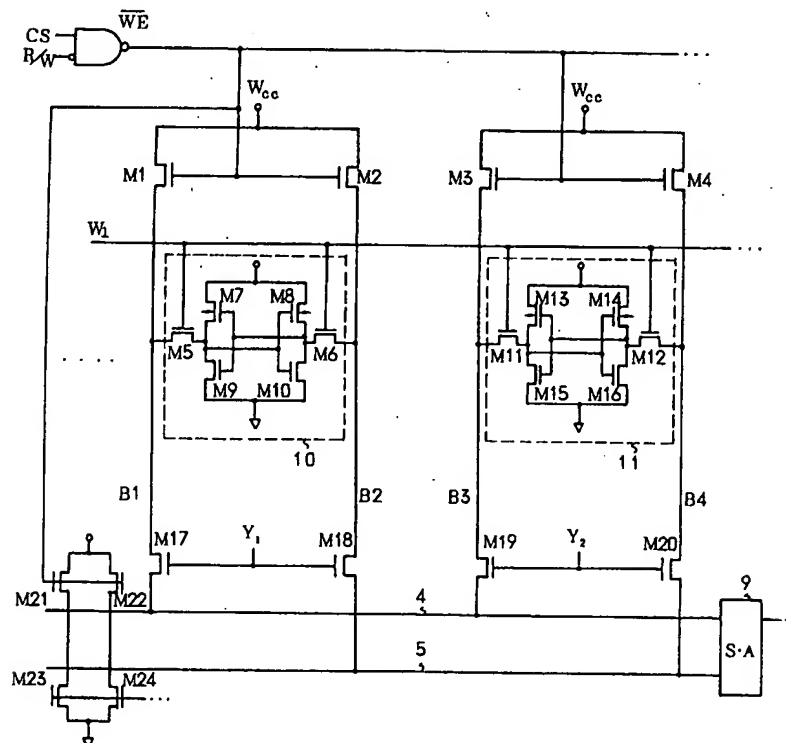
第 3 図



第 4 図



第 5 図



第 6 図

